

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-151016

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H01S 5/22

(21)Application number : 10-314206

(71)Applicant : FURUKAWA ELECTRIC CO LTD:THE

(22)Date of filing : 05.11.1998

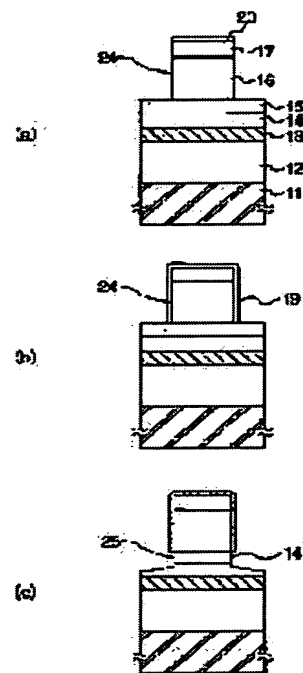
(72)Inventor : IWAI NORIHIRO
MUKOHARA TOMOKAZU
KASUKAWA AKIHIKO

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor element of high reliability by preventing release of P from an InP layer which takes place with oxidation at a high temperature, and preventing a ridge side surface and a bottom part from being roughened.

SOLUTION: This method is provided with a stripe-type ridge or mesa-post structure comprising a semiconductor layer 15 which contains Al and an InP layer 16, and a confinement structure is constituted of an Al oxide layer herein and Al of a semiconductor layer comprising Al is selectively oxidized. In this method, a process is provided wherein when the Al oxide layer is formed by selectively oxidizing an Al of the semiconductor layer comprising Al, a protective layer 19 resistant to oxidizing atmosphere for oxidizing Al is provided on a perimeter and bottom surface of the mesa-post or a side surface and bottom surface of the ridge, except for the semiconductor layer comprising Al.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-151016

(P2000-151016A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.⁷
H 0 1 S 5/22

識別記号

F I
H 0 1 S 3/18

テマコード (参考)
5 F 0 7 3

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平10-314206
(22) 出願日 平成10年11月5日 (1998.11.5)

(71) 出願人 000005290
古河電気工業株式会社
東京都千代田区丸の内2丁目6番1号
(72) 発明者 岩井 則広
東京都千代田区丸の内2丁目6番1号 古
河電気工業株式会社内
(72) 発明者 向原 智一
東京都千代田区丸の内2丁目6番1号 古
河電気工業株式会社内
(74) 代理人 100096231
弁理士 稲垣 清 (外2名)

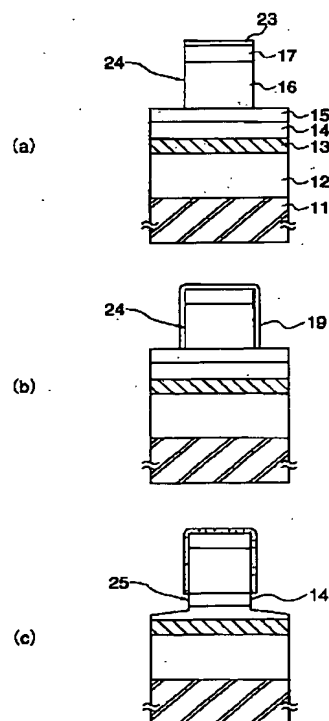
最終頁に続く

(54) 【発明の名称】 半導体素子の作製方法

(57) 【要約】

【課題】 高温での酸化処理時に発生する I n P 層からの P の脱離を防ぎ、リッジ側面や底部の荒れを防いで、信頼性の高い半導体素子を作製する方法を提供する。

【解決手段】 本半導体素子の作製方法は、A I を含む半導体層 1 5 と I n P 層 1 6 とを有するストライプ状のリッジ又はメサポスト構造を備え、かつ A I を含む半導体層の A I を選択的に酸化させてなる A I 酸化層により閉じ込め構造を構成する半導体素子の作製方法である。本方法では、A I を含む半導体層の A I を選択的に酸化させて A I 酸化層を形成する際、A I を含む半導体層を除くリッジの側面及び底面又はメサポストの外周面及び底面に、A I を酸化する酸化雰囲気に対抗する保護層 1 9 を設ける工程を備えている。



【特許請求の範囲】

【請求項１】 ＡＩを含む半導体層とＩｎＰ層とを有するストライプ状のリッジ構造又はメサポスト構造を備え、かつＡＩを含む半導体層のＡＩを選択的に酸化させてなるＡＩ酸化層により閉じ込め構造を構成する半導体素子の作製方法であって、

ＡＩを含む半導体層のＡＩを選択的に酸化させてＡＩ酸化層を形成する際、ＡＩを含む半導体層を除くリッジの側面及び底面又はメサポストの外周面及び底面に、ＡＩを酸化する酸化雰囲気に抗する保護層を設ける工程を備えていることを特徴とする半導体素子の作製方法。

【請求項２】 前記ＡＩを酸化する酸化雰囲気に抗する保護層が、誘電体膜であることを特徴とする、請求項１に記載の半導体素子の作製方法。

【請求項３】 ＡＩを含む半導体層とＩｎＰ層とを有するストライプ状のリッジ構造又はメサポスト構造を備え、かつＡＩを含む半導体層のＡＩを選択的に酸化させてなるＡＩ酸化層により閉じ込め構造を構成する半導体素子の作製方法であって、

ＡＩを含む半導体層のＡＩを選択的に酸化させてＡＩ酸化層を形成する際、リッジの側面及び底面又はメサポストの外周面及び底面に、ＡＩを酸化する酸化雰囲気に抗する保護層として、ＡＩを含む半導体膜を設ける工程を備えていることを特徴とする半導体素子の作製方法。

【請求項４】 ＡＩを含む半導体層とＩｎＰ層とを有するストライプ状のリッジ又はメサポスト構造を備え、かつＡＩを含む半導体層のＡＩを選択的に酸化させてなるＡＩ酸化層により閉じ込め構造を構成する半導体素子の作製方法であって、

ドライエッチング法により半導体積層構造をエッチングしてリッジ又はメサポストを形成し、次いでＡＩを含む半導体層のＡＩを選択的に酸化させてＡＩ酸化層を形成する際、エッチング時にリッジ側面及び底面又はメサポスト外周面及び底面に生成するポリマー層を、ＡＩを酸化する酸化雰囲気に抗する保護層として、用いることを特徴とする半導体素子の作製方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】 本発明は、ＡＩを含む半導体層とＩｎＰ層とを有するストライプ状のリッジ又はメサポスト構造を備え、かつＡＩを含む半導体層のＡＩを選択的に酸化させてなるＡＩ酸化層により閉じ込め構造を構成する半導体素子の作製方法に関し、更に詳細には、素子特性が良好な半導体素子を高い製品歩留りで作製する方法に関するものである。

【０００２】

【従来の技術】 半導体素子では、ＡＩ酸化層により電流狭窄構造を形成することが多い。例えば半導体レーザ素子では、ＡＩを含む半導体層を発光領域の積層構造の一部として成膜し、ＡＩを含む半導体層中のＡＩを選択的

に酸化させてＡＩ酸化層を形成し、そのＡＩ酸化層を電流ブロッキング層、即ち電流狭窄構造として用いることが行われている。

【０００３】 ここで、図６を参照して、ＡＩ酸化層を電流ブロッキング層として用いた代表的な半導体レーザ素子の構成を説明する。図６は半導体レーザ素子の断面模式図である。半導体レーザ素子１０は、端面発光型の半導体レーザ素子であって、図６に示すように、厚さ約１００μｍのｎ－ＩｎＰ基板１１と、ｎ－ＩｎＰ基板１１上に順次形成された、ｎ－ＩｎＰクラッド層１２、ＳＣＨ－ＭＱＷ活性層１３、第一のｐ－ＩｎＰクラッド層１４、ｐ－ＡｌＩｎＡｓ層１５、第二のｐ－ＩｎＰクラッド層１６、及びｐ－ＧａＩｎＡｓコンタクト層１７からなる積層構造を備えている。積層構造のうち、第一のｐ－ＩｎＰクラッド層１４の上層部、ｐ－ＡｌＩｎＡｓ層１５、第二のｐ－ＩｎＰクラッド層１６、及びｐ－ＧａＩｎＡｓコンタクト層１７は、幅が約１０μｍのストライプ状リッジ２５として形成されている。また、ｐ－ＡｌＩｎＡｓ層１５のリッジ側面部は、ＡＩが選択的に酸化されたＡＩ酸化層１８となっている。

【０００４】 窓２６であるリッジ上部を除く領域上にＳｉＮ_x膜２７が保護膜として形成されている。そして、ｐ側電極２１が、リッジ上部の窓２６の領域を含めてＳｉＮ_x膜２７上に、及びｎ側電極２２がｎ－ＩｎＰ基板裏面にそれぞれ形成されている。

【０００５】 本半導体レーザ素子１０では、ＡＩ酸化層１８が電気的絶縁特性を有すると共に光学的にも屈折率が低下しているので、ＡＩ酸化層１８により電流及び光の閉じ込めを行うことができる優れた閉じ込め構造が形成されている。

【０００６】 次に、図７を参照して、従来の半導体レーザ素子１５の作製方法を説明する。図７（ａ）から

（ｃ）は、それぞれ、従来の半導体レーザ素子１５を作製する際の工程毎の基板断面を示す縦断面図である。まず、ＭＯＣＶＤ法により、ｎ－ＩｎＰ基板１１上に、順次、ｎ－ＩｎＰクラッド層１２、ＳＣＨ－ＭＱＷ活性層１３、第一のｐ－ＩｎＰクラッド層１４、ｐ－ＡｌＩｎＡｓ層１５、第二のｐ－ＩｎＰクラッド層１６、及びｐ－ＧａＩｎＡｓコンタクト層１７を成膜して、図７

（ａ）に示すように、積層構造を形成する。次に、ＳｉＯ₂膜からなるマスク２３をコンタクト層１７上に形成し、続いてマスク２３を使って、コンタクト層１７、第二のｐ－ＩｎＰクラッド層１６、及びｐ－ＡｌＩｎＡｓ層１５をエッチングして除去し、更に、第一のｐ－ＩｎＰクラッド層１４をその途中までエッチングして除去し、図７（ｂ）に示すように、幅１０μｍのストライプ状リッジを形成する。次に、マスク２３を除去し、水蒸気中にて、約５００℃の温度で１５０分間熱処理を施すことにより、ｐ－ＡｌＩｎＡｓ層１５のＡＩをリッジ側面から選択的に酸化させ、図７（ｃ）に示すように、Ａ

I酸化層18を形成する。

【0007】次に、窓26とするリッジ上部の領域を除く領域上にSiNx膜27を保護膜として形成する。続いて、n-InP基板11の厚さが100μm程度の厚さになるように基板裏面を研磨し、p側電極21をリッジ上部の窓26の領域を含めてSiNx膜27上に、及びn側電極22を基板裏面にそれぞれ形成する。

【0008】半導体レーザ素子の上述した作製方法は、閉じ込め構造の形成を除き、基本的には、通常のリッジ型の端面発光型半導体レーザ素子の作製方法と同じであるものの、次の利点を有する。即ち、上述した作製方法では、p-AlInAs層15を結晶成長させ、次いで酸化させる、一回の結晶成長及び酸化工程にて、閉じ込め構造を形成することができるので、p-半導体層とn-半導体層とを成膜して、リッジ構造を埋め込み、p-n接合分離により形成した通常の閉じ込め構造の形成方法に比べて、製造工程が簡単で、素子の歩留まり向上や低コスト化が期待できる。

【0009】

【発明が解決しようとする課題】上述のように、端面発光型の半導体レーザ素子の従来の作製方法では、Al酸化層を形成する際に、500℃程度の高温でAlInAs層を酸化処理してAl酸化層を形成することが必要である。それは、図8に示すように、経済的に見合う実用的な酸化速度を得るためには、例えば $d=100\text{nm}$ のとき、 $0.45\sim0.5\mu\text{m}/\text{min}^{0.5}$ の酸化速度を得るためには、酸化温度を500℃以上にする必要があるからである。図8は、AlInAsの酸化速度と酸化温度の関係を示すグラフであって、AlInAs層の膜厚 d をパラメータにして、横軸に酸化温度(℃)と取り、縦軸に酸化速度($\mu\text{m}/\text{min}^{0.5}$)を取っている。

【0010】しかし、酸化温度を上げた場合、InP層のP(磷)が脱離し、表面が荒れてしまう。即ち、酸化速度と表面状態とは、トレードオフの関係にあることが本発明者らの実験によりわかった。即ち、酸化速度を上げるために酸化温度を高くすると、InP層の表面が荒れ、AlInAs層の酸化処理に際して、InP層の表面を荒れないように酸化温度を低くすると、酸化速度が低下して経済的でなくなる。また、表面荒れの現象は、図9に示すように、特にリッジの立ち上がり近傍のInP層面にて著しく発生し、リッジ側面のInP層が削られ、リッジ底部の両脇の第一のp-InPクラッド層14上にInPの多結晶30として堆積する。

【0011】リッジ側面の荒れは、導波路損失を増大させ、レーザ素子特性を悪化させる原因につながる。また、リッジ底部脇の半導体層に堆積したInP多結晶は、パシベーション膜の膜厚の厚薄、膜質の良否に影響し、電極の進入等、素子の信頼性に影響を及ぼす。以上の説明では、端面発光型の半導体レーザ素子を例にして

問題を説明しているが、これに限らず、Alを含む半導体層とInP層とを有するストライプ状のリッジ構造又はメサポスト構造を備え、かつAlを含む半導体層のAlを選択的に酸化させてなるAl酸化層により閉じ込め構造を構成する半導体素子であれば、同じ問題を有する。

【0012】本発明の目的は、Alを含む半導体層の高温酸化処理時に発生するInP層からのPの脱離を防ぎ、リッジ側面や底部の荒れを防いで、信頼性の高い半導体素子を作製する方法を提供することである。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明に係る半導体素子の作製方法(以下、第1の発明方法と言う)は、Alを含む半導体層とInP層とを有するストライプ状のリッジ又はメサポスト構造を備え、かつAlを含む半導体層のAlを選択的に酸化させてなるAl酸化層により閉じ込め構造を構成する半導体素子の作製方法であって、Alを含む半導体層のAlを選択的に酸化させてAl酸化層を形成する際、Alを含む半導体層を除くリッジの側面及び底面又はメサポストの外周に、Alを酸化する酸化雰囲気に抗する保護層を設ける工程を備えていることを特徴としている。

【0014】保護層は、Alを酸化する酸化雰囲気に抗する層である限り、制約は無いが、好適には、保護層が、SiO₂膜、SiNx膜、Al₂O₃膜等の誘電体膜である。

【0015】本発明に係る半導体素子の作製方法(以下、第2の発明方法と言う)は、Alを含む半導体層とInP層とを有するストライプ状のリッジ構造又はメサポスト構造を備え、かつAlを含む半導体層のAlを選択的に酸化させてなるAl酸化層により閉じ込め構造を構成する半導体素子の作製方法であって、Alを含む半導体層のAlを選択的に酸化させてAl酸化層を形成する際、リッジの側面及び底面又はメサポストの外周面及び底面に、Alを酸化する酸化雰囲気に抗する保護層として、Alを含む半導体膜を設ける工程を備えていることを特徴としている。保護層として使用できる半導体層は、例えば、Al(Ga)As、AlGaInAs、AlGaInP、AlInP、AlInAs等で形成されている半導体層である。

【0016】ところで、ドライエッチング法により半導体積層構造をエッチングしてリッジ又はメサポストを形成すると、リッジ側面又はメサポスト外周にポリマー層が自然発生的に生成する。ポリマーは、エッチングに使用する反応ガスと、半導体積層構造の構成成分との反応生成物や、エッチングマスクとして使用したSiO₂膜との反応生成物等の混合物であって、従来は、半導体層に不純物が混入する原因になるとして除去されていた。本発明者らは、このリッジ側面に付着したポリマー層は、Alを酸化する酸化雰囲気に抗する保護層として機

能することを、多数の実験で確認した。

【0017】そこで、上述の知見に基づいて、本発明に係る半導体素子の別の作製方法（以下、第3の発明方法と言う）は、Alを含む半導体層とInP層とを有するストライプ状のリッジ又はメサポスト構造を備え、かつAlを含む半導体層のAlを選択的に酸化させてなるAl酸化層により閉じ込め構造を構成する半導体素子の作製方法であって、ドライエッチング法により半導体積層構造をエッチングしてリッジ又はメサポストを形成し、次いでAlを含む半導体層のAlを選択的に酸化させてAl酸化層を形成する際、エッチング時にリッジ側面及び底面又はメサポスト外周面及び底面に生成するポリマー層を、Alを酸化する酸化雰囲気中に抗する保護層として、用いることを特徴としている。

【0018】本発明方法は、Alを含む半導体層とInP層とを有するストライプ状のリッジ又はメサポスト構造を備え、かつAlを含む半導体層のAlを選択的に酸化させてなるAl酸化層により閉じ込め構造を構成する半導体素子である限り、半導体素子の種類、機能に制約なく適用でき、例えば端面発光型の半導体レーザー素子、面発光型の半導体レーザー素子の作製に好適に適用できる。

【0019】

【発明の実施の形態】以下に、実施形態例を挙げ、添付図面を参照して、本発明の実施の形態を具体的かつ詳細に説明する。

実施形態例1

本実施形態例は、第1の発明に係る半導体レーザー素子の作製方法の実施形態の一例であって、図1(a)～

(c)、及び図2(d)～(f)は、本実施形態例の半導体レーザー素子の作製方法に従って半導体レーザー素子を作製する際の工程毎の積層構造の縦断面を示す断面図である。まず、従来の方法と同様に、MOCVD法により、n-InP基板11上に、順次、n-InPクラッド層12、SCH-MQW活性層13、第一のp-InPクラッド層14、p-AlInAs15、第二のp-InPクラッド層16、及びp-GaInAsコンタクト層17を積層する。次いで、図1(a)に示すように、SiO₂膜を成膜し、パターンニングしてマスク23とし、硫酸系及び塩酸系のエッチング液にてコンタクト層17、及び第二のp-InPクラッド層16をエッチング除去し、幅10μmの仮のストライプ状リッジ24を形成する。

【0020】次いで、本実施形態例の作製方法では、SiO₂膜マスク23を除去した後、再度、SiO₂膜19を全面に成膜する。続いて、図1(b)に示すように、仮のリッジ24以外の領域に成膜したSiO₂膜を例えばRIEにて除去し、仮のリッジ24上面及び側面のみをSiO₂膜19で被覆する。ここで、カバー膜19はSiO₂膜に限らず、誘電体膜ならば、何をを用い

ても良い。次に、図1(c)に示すように、SiO₂膜19をマスクにして、塩酸系のエッチング液にて、p-AlInAs15をエッチング除去し、第一のp-InPクラッド層14をその途中までエッチング除去して、所望のリッジ25を形成する。

【0021】次いで、酸化処理の際の酸化雰囲気中に抗する保護膜としてSiO₂膜19を使い、水蒸気中にて、約500℃の温度で150分間熱処理を施すことにより、p-AlInAs15を側面から酸化させ、図2(d)に示すように、Al酸化層18を形成する。次に、図2(e)に示すように、仮のリッジ24上のSiO₂膜19を除去してリッジ25を露出する。続いて、リッジ25の上部の窓26を除く領域に、保護層としてSiNx膜27を形成する。更に、n-InP基板11が100μm程度の厚さになるように基板裏面を研磨し、窓26の領域を含むSiNx膜27上にp側電極21を、基板裏面にn側電極22をそれぞれ形成する。これにより、所望の図2(f)に示す半導体レーザー素子を作製することができる。

【0022】上述のように作製した半導体レーザー素子では、リッジ側面を誘電体膜によりカバーしているため、酸化時の熱処理時に発生していたInP層からのPの脱離を防ぐことができる。即ち、実用的な酸化速度が得られる500℃以上の温度で酸化を行った場合でも、表面荒れが無く、形状が損傷していないリッジを実現することができる。

【0023】実施形態例2

本実施形態例は、第2の発明に係る半導体レーザー素子の作製方法の実施形態の一例であって、図3は本実施形態例の作製方法の要部を説明する図である。本実施形態例の作製方法では、リッジ側面におけるP離脱を防ぐための保護層としてSiO₂膜に代えて、半導体膜を用いている。本実施形態例では、図3に示したように、従来の作製方法と同様に、SiO₂膜マスク23を用い、リッジ25を形成した後、SiO₂膜マスク23を選択成長用のマスクとして用い、リッジ25の側面及びリッジ脇の第一のp-InPクラッド層14上にAlInAs保護層29を選択成長させる。次いで、従来の作製方法と同じ条件で、水蒸気雰囲気中で熱処理を行い、p-AlInAs15を酸化させる。この時、AlInAs層からなる保護層29も同時にAlが選択的に酸化されることにより、リッジ側面でのPの離脱を防ぐことができる。保護層29は、実施形態例1のSiO₂膜19とは異なり、除去する必要はない。

【0024】また、選択成長させた保護層29は、p-AlInAs層15と同じ組成である必要はなく、Alを含む材料で形成されている半導体層であれば良い。保護層として使用できる半導体層は、例えば、Al(Ga)As、AlGaInAs、AlGaInP、AlInP等で形成されている半導体層である。但し、InP

と格子定数がずれている層の場合は、層厚を臨界膜厚以内にすることが好ましい。多少であれば、臨界膜厚を越えた場合でも、酸化処理により誘電体膜に変化してしまうので、さほど問題にはならない。

【0025】実施形態例3

本実施形態例は、第2の発明に係る半導体レーザ素子の作製方法の実施形態の別の例であって、図4は本実施形態例の作製方法の要部を説明する図である。また、Alを含む材料で半導体層を選択成長させた場合に、誘電体マスク上に多結晶が堆積してしまう。膜厚が非常に薄い場合には何等問題にならないが、膜厚が厚い場合には、やっかいになる。そこで、本実施形態例では、実施形態例2のAlInAs層の選択成長に代えて、図4に示したように、SiO₂膜マスク23を除去し、リッジ25及び第一のp-InPクラッド層14全面にAlInAs保護層29を成長させる。次いで、酸化処理を行って、AlInAs保護層29のAl、及びp-AlInAs層15のAlを選択的に酸化してAl酸化層を形成する。その後、リッジ25上部のAlInAs層のAlが酸化してなるAl酸化層のみをエッチングにより除去するようにしても良い。それ以外の領域の保護層29は、実施形態例1のSiO₂膜19とは異なり、除去する必要はなく、保護層29上にSiN_x膜27を成膜することができる。

【0026】実施形態例4

本実施形態例は、第3の発明に係る半導体レーザ素子の作製方法の実施形態の一例であって、図5は本実施形態例の作製方法の要部を説明する図である。実施形態例1では、SiO₂膜マスク23を使い、硫酸系及び塩酸系のエッチング液にてコンタクト層17、及び第二のp-InPクラッド層16をエッチング除去し、幅10μmの仮のストライプ状リッジ24を形成したが、ウエットエッチングに代えて、ドライエッチングにより、コンタクト層17、及び第二のp-InPクラッド層16、p-AlInAs層15、第一のp-InPクラッド層14をエッチング除去すると、エッチングの際にポリマーがリッジ24側面に付着して、図3に示すように、ポリマー層28を形成する。

【0027】このポリマー層28は、エッチングの際に自然発生的にエッチング面に生成するものであって、エッチングに使用する反応ガスと、コンタクト層17及び第二のp-InPクラッド層16、p-AlInAs層15、及び第一のp-InPクラッド層14の構成成分との反応生成物や、エッチングマスクとして使用したSiO₂膜との反応生成物等の混合物であって、従来は、不純物混入の原因になるとして除去されていた。発明者らの実験では、このリッジ側面に付着したポリマー層28は、AlInAs層の酸化処理時に、実施形態例1のSiO₂膜19と同様のAlを酸化する酸化雰囲気中に抗する機能を有し、Pの脱離を防ぐことができるとわかっ

た。そこで、本実施形態例の作製方法では、リッジ形成のドライエッチング時に発生し、付着したポリマー層28を積極的に熱処理の保護膜として利用し、Pの脱離を防いでいる。そして、AlInAs層の熱酸化後に、ポリマー層28を除去して良く、放置してその上にSiN_x膜27を成膜しても良い。

【0028】上述の実施形態例では、端面発光型のリッジ型半導体レーザ素子を例にして説明しているが、面発光型のメサポスト構造を備えた半導体レーザ素子にも好適に適用できる。上述の実施形態例では、n型基板上の素子を例にとって説明を行ったが、p型基板上の素子においても同様の効果が得られることは言うまでもない。また、半導体レーザを例にとって説明を行ったが、AlInAs層を酸化させる作製工程を有する素子であれば、他の半導体素子においても応用可能であることは言うまでもない。

【0029】

【発明の効果】本発明によれば、Alを含む半導体層のAlを選択的に酸化させてAl酸化層を形成する際、Alを含む半導体層を除くリッジの側面及び底面又はメサポストの外周面及び底面に、Alを酸化する酸化雰囲気中に抗する保護層を設けることにより、InP層からのPの解離を防止して、半導体層の肌荒れを防止し、良好な特性を備えた半導体素子を高い作製歩留りで作製することができる。

【図面の簡単な説明】

【図1】図1(a)～(c)は、それぞれ、実施形態例1の半導体レーザ素子の作製方法に従って半導体レーザ素子を作製する際の工程毎の積層構造の縦断面を示す断面図である。

【図2】図2(d)～(f)は、それぞれ、図1(c)に続く、実施形態例1の半導体レーザ素子の作製方法に従って半導体レーザ素子を作製する際の工程毎の積層構造の縦断面を示す断面図である。

【図3】実施形態例2の作製方法の要部を説明する図である。

【図4】実施形態例3の作製方法の要部を説明する図である。

【図5】実施形態例4の作製方法の要部を説明する図である。

【図6】半導体レーザ素子の積層構造を示す縦断面図である。

【図7】図7(a)～(c)は、それぞれ、半導体レーザ素子の従来の作製方法に従って半導体レーザ素子を作製する際の工程毎の積層構造の縦断面を示す断面図である。

【図8】AlInAs層の酸化温度と酸化速度との関係を示すグラフである。

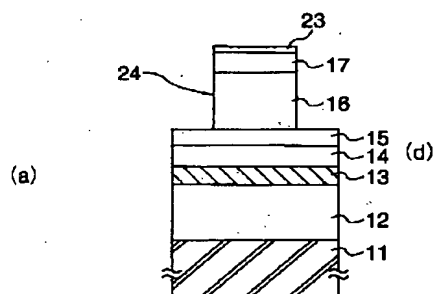
【図9】表面荒れの状態を説明する模式図である。

【符号の説明】

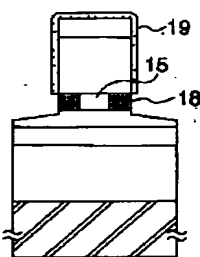
- 10 半導体レーザ素子
- 11 n-InP基板
- 12 n-InPクラッド層
- 13 SCH-MQW活性層
- 14 第一のp-InPクラッド層
- 15 p-AlInAs層
- 16 第二のp-InPクラッド層
- 17 p-GaInAsコンタクト層
- 18 Al酸化層
- 19 保護膜

- 21 p側電極
- 22 n側電極
- 23 SiO₂ 膜マスク
- 24 仮のリッジ
- 25 リッジ
- 26 窓
- 27 SiN_x 膜
- 28 ポリマー層
- 29 AlInAs層の保護膜
- 30 InPの多結晶

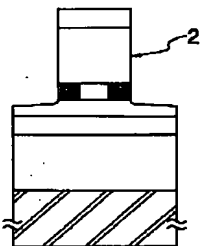
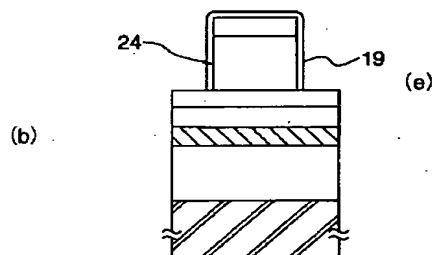
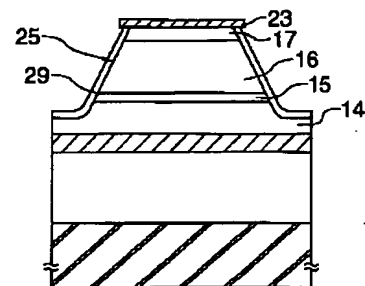
【図1】



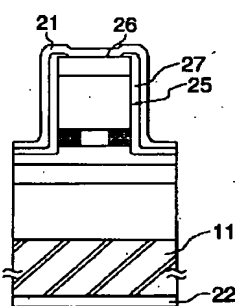
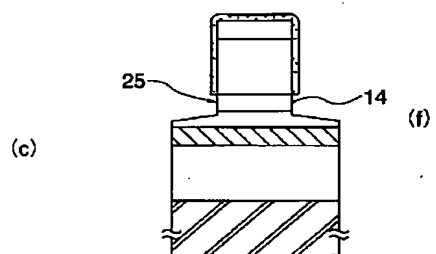
【図2】



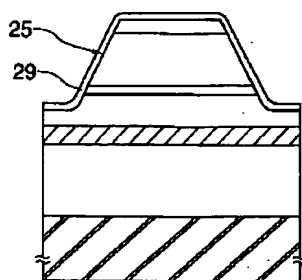
【図3】



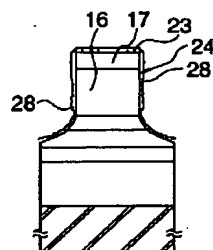
【図6】



【図4】

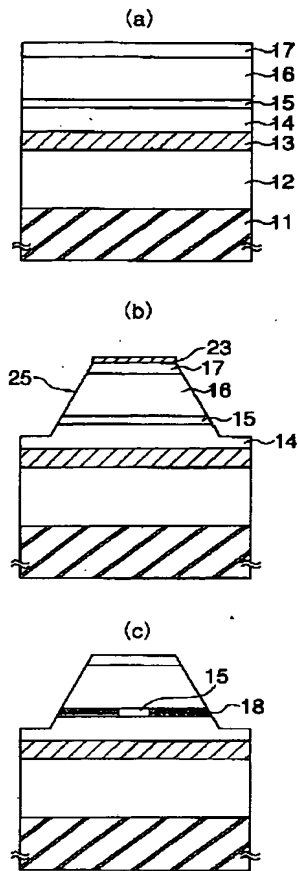


【図5】

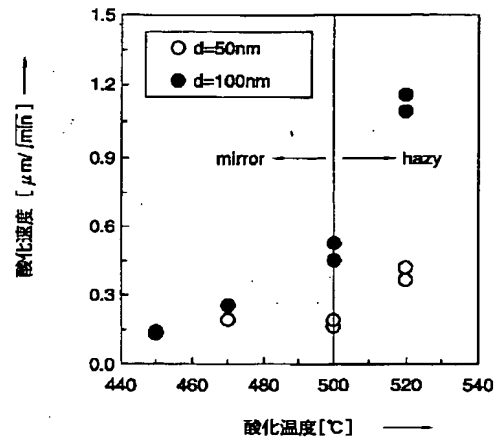


- 10 半導体レーザ素子
- 11 n-InP基板
- 12 n-InPクラッド層
- 13 SCH-MQW活性層
- 14 第一のp-InPクラッド層
- 15 p-AlInAs層
- 16 第二のp-InPクラッド層
- 17 p-GaInAsコンタクト層
- 18 Al酸化層
- 27 SiN_x 膜
- 21 p側電極
- 22 n側電極
- 25 リッジ
- 26 窓

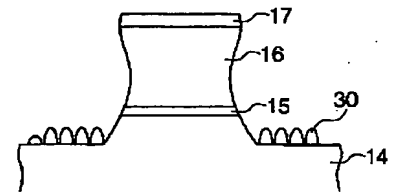
【図 7】



【図 8】



【図 9】



フロントページの続き

(72) 発明者 粕川 秋彦
東京都千代田区丸の内 2 丁目 6 番 1 号 古
河電気工業株式会社内

F ターム(参考) 5F073 AA13 CA07 DA27 DA35